

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327540
(43)Date of publication of application : 10.12.1993

(51)Int. Cl. H04B 1/16

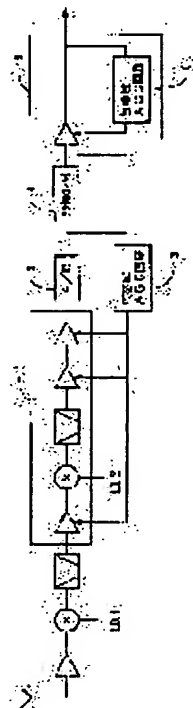
(21)Application number : 04-133537 (71)Applicant : ICOM INC
(22)Date of filing : 26.05.1992 (72)Inventor : KAJIMOTO SHIGEKI

(54) AGC CIRCUIT

(57)Abstract:

PURPOSE: To obtain an AGC circuit in which a blocking to an objective signal can be smoothed when the AGC circuit is operated by an interference signal.

CONSTITUTION: The pass band width of an intermediate frequency amplifier circuit 1 is wider than the pass band width of a digital filter 4, a threshold level of a wide band AGC circuit 3 is set to be higher than the threshold level of a narrow band AGC circuit 6, and the level of the objective signal suppressed after the blocking due to the interference signal by the wide band AGC circuit 3 is allowed to rise and compensated by the narrow band AGC circuit 6.



LEGAL STATUS

[Date of request for examination] 16.04.1999

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for

application]

[Patent number] 3086060

[Date of registration] 07. 07. 2000

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3086060号
(P3086060)

(45)発行日 平成12年9月11日(2000.9.11)

(24)登録日 平成12年7月7日(2000.7.7)

(51)Int.Cl.⁷

識別記号

F I

H 0 4 B 1/16

H 0 4 B 1/16

R

J

請求項の数1(全 6 頁)

(21)出願番号 特願平4-133537

(22)出願日 平成4年5月26日(1992.5.26)

(65)公開番号 特開平5-327540

(43)公開日 平成5年12月10日(1993.12.10)
審査請求日 平成11年4月16日(1999.4.16)

(73)特許権者 000100746

アイコム株式会社

大阪府大阪市平野区加美鞍作1丁目6番
19号

(72)発明者 梶本 慈樹

大阪市平野区加美鞍作1丁目6番19号
アイコム株式会社内

(74)代理人 100076406

弁理士 杉本 勝徳 (外1名)

審査官 和田 志郎

(56)参考文献 特開 平3-120915 (J P, A)

特開 平3-38906 (J P, A)

特開 平1-151809 (J P, A)

実開 平3-75641 (J P, U)

実開 平1-135834 (J P, U)

最終頁に続く

(54)【発明の名称】 AGC回路

1

(57)【特許請求の範囲】

【請求項1】 入力された目的信号を含む広帯域の信号を増幅する広帯域処理部と、
前記広帯域処理部により増幅された信号から目的信号を含む狭帯域の信号を通過させるバンドパス特性を持ったフィルタと、
前記フィルタを通過した信号を増幅する狭帯域処理部と、
前記広帯域処理部により増幅された信号レベルを検出し、該信号レベルが所定のスレッシュホールドレベル(L1)より高いときに前記広帯域処理部の利得を抑制する広帯域AGC回路と、
前記狭帯域処理部により増幅された信号レベルを検出し、該信号レベルが所定の基準レベル(L7)となるように前記狭帯域処理部の利得を調整する狭帯域AGC回

2

路と、

を備えたことを特徴とするAGC回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、受信した信号から目的信号を含んだ広帯域の信号を通過させる広帯域処理部と、該広帯域処理部を通過した信号から目的信号を含んだ狭帯域の信号を通過させる狭帯域処理部とを備えた受信回路に用いるAGC回路に関するものである。

【0002】

【従来の技術】従来のAGC回路の一例を図5に示す。図5において、高周波増幅回路等の増幅回路101,102,103における利得を、A/Dコンバータ104から出力される信号のレベルに基づいてAGC回路105を介して制御し、前記A/Dコンバータ104へ入力される信号のレベ

ルが過大にならないように制御するものである。

【0003】このようなAGC回路では、通過周波数帯域内において、目的の信号と共に、これより信号のレベルが高く、周波数が近接する信号（これを妨害信号と呼ぶ。）が受信されると、この妨害信号によってAGC回路が作動するので、増幅回路における利得が低減されるのである。

【0004】

【発明が解決しようとする課題】しかし、上記妨害信号によってAGC回路が作動すると、目的信号まで抑圧（ブロッキング）されてしまい、明瞭な受信ができなくなるという問題があった。また、実開平1-136857号（実開平3-75641号）、特開平3-120915号、および特開平3-38906号には、ブロッキングを防止するために、およそ目的信号のみを含む狭帯域処理部における信号レベルの検出結果を、広帯域AGC回路のオン／オフもしくは検出感度の設定等に使用する技術が開示されている。しかし、これらの技術においては、それぞれ何らかの工夫はされているものの、実際に利得を制御するのは広帯域の信号のみであるため、目的信号より大きく周波数が隣接する信号がその広帯域の信号に含まれる場合における根本的な解決策を見いだすことはできないのである。即ち、前記隣接する信号の信号レベルを低下させるために広帯域処理部における利得を抑制すると、目的信号まで抑制（ブロッキング）されてしまい、受信感度の低下をまねくという問題がある。逆に、ブロッキングを防止するためにAGC回路を作動させないと、信号レベルが大きく周波数が隣接する信号により信号処理回路の飽和や相互変調妨害が発生してしまうという問題がある。

【0005】そこで、本発明においては、上述したような妨害信号によってAGC回路が作動したとき、目的の信号へのブロッキングを緩和できるAGC回路を提供することを目的としているものである。

【0006】

【課題を解決するための手段】そのために、本発明においては、入力された目的信号を含む広帯域の信号を増幅する広帯域処理部と、前記広帯域処理部により増幅された信号から目的信号を含む狭帯域の信号を通過させるバンドパス特性を持ったフィルタと、前記フィルタを通過した信号を増幅する狭帯域処理部と、前記広帯域処理部により増幅された信号レベルを検出し、該信号レベルが所定のスレッシュホールドレベル（L1）より高いときに前記広帯域処理部の利得を抑制する広帯域AGC回路と、前記狭帯域処理部により増幅された信号の信号レベルを検出し、該信号レベルが所定の基準レベル（L7）となるように前記狭帯域処理部の利得を調整する狭帯域AGC回路と、を備えたのである。

【0007】

【作用】本発明によれば、入力された目的信号を含む広

帯域の信号を増幅する広帯域処理部と、前記広帯域処理部により増幅された信号から目的信号を含む狭帯域の信号を通過させるバンドパス特性を持ったフィルタと、前記フィルタを通過した信号を増幅する狭帯域処理部と、前記広帯域処理部により増幅された信号レベルを検出し、該信号レベルが所定のスレッシュホールドレベル（L1）より高いときに前記広帯域処理部の利得を抑制する広帯域AGC回路と、前記狭帯域処理部により増幅された信号の信号レベルを検出し、該信号レベルが所定の基準レベル（L7）となるように前記狭帯域処理部の利得を調整する狭帯域AGC回路と、を備えているので、信号レベルが前記所定のスレッシュホールドレベル（L1）より高い妨害信号の存在によって前記広帯域AGC回路が作動して、目的信号が抑制されても、その目的信号は前記フィルタの通過帯域内であるので通過するが、妨害信号は通過帯域外であるので遮断される。

【0008】従って、前記フィルタを通過した目的信号のみが前記狭帯域処理部で増幅される。このとき、前記狭帯域AGC回路の働きによって前記狭帯域処理部の利得は調整されて所定の基準レベル（L7）で出力される。

【0009】このようにして、信号レベルの高い妨害信号があっても、目的信号のブロッキングが防止されるのである。

【0010】

【実施例】以下に、本発明のAGC回路の実施例を図面に基つて詳説する。図1は、上記実施例のAGC回路を備えた受信装置の要部の構成図、図2は中間周波増幅回路の通過帯域特性図、図3は同AGC回路のAGC特性図である。

【0011】図1において、1は広帯域処理部としての中間周波増幅回路である。2は中間周波増幅回路1から出力される信号をデジタル信号へ変換するA/Dコンバータである。3は広帯域AGC回路である。4はバンドパス特性を持ったデジタルフィルタである。5はデジタルシグナルプロセッサであり、内部にデジタル処理による狭帯域AGC回路6を備えている。なお、前記デジタルフィルタ4と前記デジタルシグナルプロセッサ5の一部で狭帯域処理部を構成している。

【0012】図2に示すように、上記中間周波増幅回路1の通過帯域幅W1は上記デジタルフィルタ4の通過帯域幅W2よりも広い通過帯域幅となっている。また、前記広帯域AGC回路3が作動し初めるスレッシュホールドレベルL1は、前記狭帯域AGC回路6のスレッシュホールドレベルL2より高いレベルに設定されている。

【0013】また、図3に、前記広帯域AGC回路3におけるAGC特性A1と前記狭帯域AGC回路6におけるAGC特性A2を示す。即ち、前記広帯域AGC回路3は、前記スレッシュホールドレベルL1より高いレベルの信号が存在するときに作動するAGC回路であって、中

間周波増幅回路1における利得を抑制して、過大な信号がA/Dコンバータ2に入力されないように制御するAGC回路である。

【0014】そして、前記狭帯域AGC回路6は、前記スレッシュホールドレベルL2より高いレベルの信号に対して作動するAGC回路であって、デジタルシグナルプロセッサ5の内部の信号を所定の信号レベルL7に調整するAGC回路である。

【0015】上記構成のAGC回路において、図2に示すような、目的信号S1と妨害信号S2とが存在している場合に、図2(A)に示すように、両信号ともに前記中間周波増幅回路1の通過帯域幅W1内であるため、中間周波増幅回路1は通過する。このとき、A/Dコンバータ2から出力される妨害信号S2のレベルL3が前記スレッシュホールドレベルL1より高ければ、広帯域AGC回路が作動して、中間周波増幅回路1の利得を下げる。これによって、妨害信号のレベルの低下とともに、目的信号S1のレベルは、広帯域AGC回路が作動しなければレベルL4であるところが、レベルL5に抑圧される。

【0016】このようにして抑圧された目的信号S1は、A/Dコンバータ2によってデジタル信号に変換されデジタルフィルタ4によって選択される。このとき、図2(B)に示すように、妨害信号S2は、デジタルフィルタ4の通過帯域幅W2外であるので、デジタルフィルタ4にて遮断される。なお、妨害信号が目的信号の上下共に近接して存在している場合にも、デジタルフィルタ4によって排除される。

【0017】ここで、デジタルフィルタ4から出力される目的信号S1のレベルは、広帯域AGC回路3によって抑圧されて低いレベルL6となっているが、このレベルが狭帯域AGC回路6のスレッシュホールドレベルL2よりも高いときは、狭帯域AGC回路6が作動するので、所定の信号レベルL7(>L6)で出力されるのである。

【0018】このようにして、広帯域AGC回路3によって抑圧されていた目的信号のレベルを、狭帯域AGC回路6によって上昇させて補償するのである。なお、広帯域AGC回路3による信号の抑圧を狭帯域AGC回路で補償できる範囲は、前記二つのスレッシュホールドレベルL1、L2で挟まれた範囲である。

【0019】なお、広帯域AGC回路3のAGC入力信号を、A/Dコンバータ2の前から得て、A/Dコンバータ2への入力信号のレベルを制限することにより、過大信号によるデジタル信号処理系のオーバーフロー等の障害を防止するように構成してもよい。

【0020】デジタル処理によって本発明のAGC回路を実現した別実施例の要部を図4に示す。この図4においては、広帯域AGC回路3のAGC入力信号は、A/Dコンバータの出力から得るように構成した。このAGC

C入力信号をレベル検出部11においてスレッシュホールドレベルL1と比較し、これを越える信号が検出されるとデジタルシグナルプロセッサ51へ割り込み信号INTを出力し、設定されたAGC特性に基づいて中間周波増幅回路の利得を低下させる。例えば、SSBモードにおいては、CWモードと比較して、インパルス性ノイズに時定数が対応しやすいが、アタック時の再変調歪みが生じにくい特性に設定されている。

【0021】なお、以上の実施例においては、高周波増幅段、中間周波増幅段、デジタル信号処理を含んだ受信装置における例を示したが、このような構成に限定されるものではなく、前段と後段の二段階のAGC回路を備え、前段より後段の通過帯域を狭くするとともに、前段より後段におけるAGCのスレッシュホールドレベルを低く設定することによって、前段による目的信号への抑圧を、後段において補償するように構成すれば、種々の通信における通信の品質向上に寄与することができるのである。

【0022】また、所望の狭帯域特性のアナログのフィルタを備えた狭帯域AGC回路でもよい。また、妨害信号と目的信号との周波数の高低関係が一定であれば、高域通過もしくは低域通過フィルタを備えた狭帯域AGC回路でもよい。

【0023】

【発明の効果】本発明のAGC回路によれば、信号レベルが前記所定のスレッシュホールドレベル(L1)より高い妨害信号の存在によって前記広帯域AGC回路が作動して、目的信号が抑制されても、その目的信号は前記フィルタの通過帯域内であるので通過し、妨害信号は通過帯域外であるので遮断されることによって、前記フィルタを通過した目的信号のみが前記狭帯域処理部で増幅される。このとき、前記狭帯域AGC回路の働きによって前記狭帯域処理部の利得は調整されて所定の基準レベル(L7)で出力されるので、高レベルの妨害信号によるブロッキングの影響を緩和することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明のAGC回路の実施例を備えた受信装置の要部の構成図である。

【図2】上記受信装置の中間周波増幅回路の通過帯域特性図である。

【図3】上記受信装置のAGC回路のAGC特性図である。

【図4】別実施例のAGC回路の要部の構成図である。

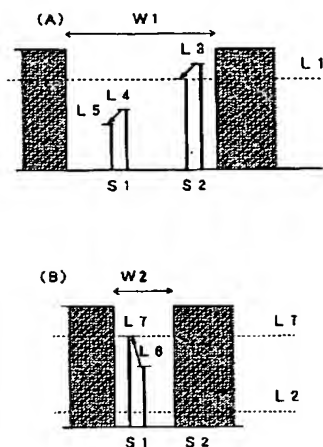
【図5】従来のAGC回路の例を示す構成図である。

【符号の説明】

- 1 中間周波増幅回路(広帯域処理部)
- 2 A/Dコンバータ
- 3 広帯域AGC回路
- 4 デジタルフィルタ

- 5 デジタルシグナルプロセッサ
 4, 5 (狭帯域処理部)
 6 狭帯域AGC回路
 W1 広帯域処理部の通過帯域幅
 W2 狭帯域処理部の通過帯域幅

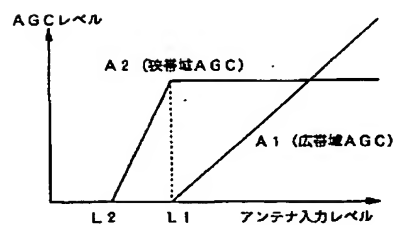
【図2】



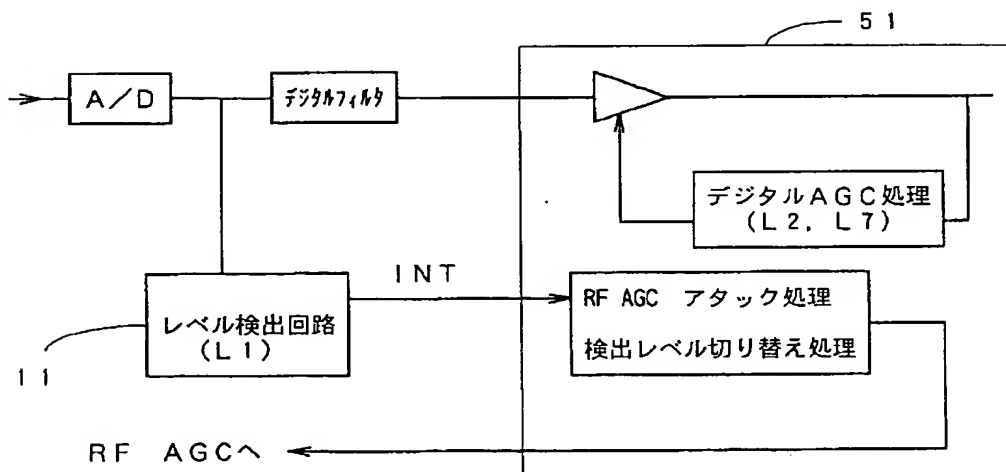
- * L1 広帯域AGC回路におけるAGC処理のスレッシュホルドレベル
 L2 狭帯域AGC回路におけるAGC処理のスレッシュホルドレベル

*

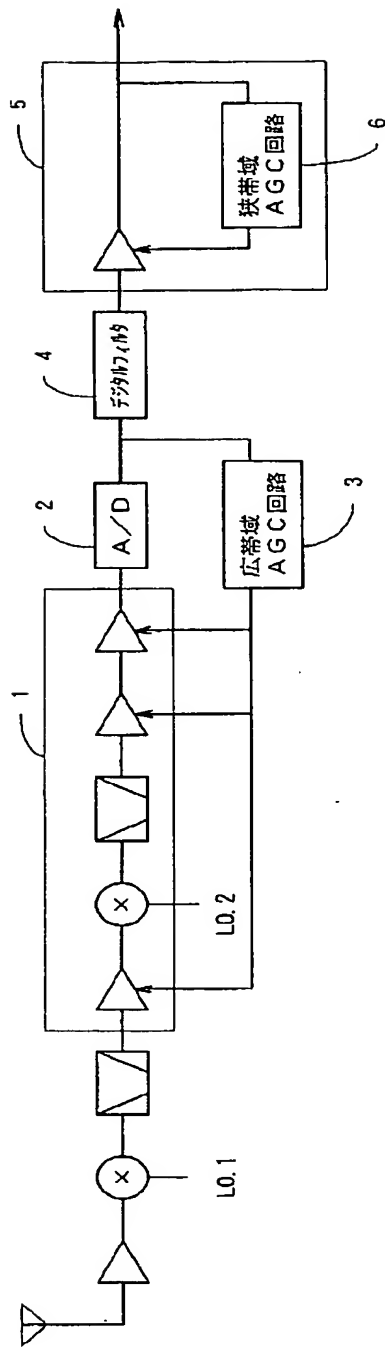
【図3】



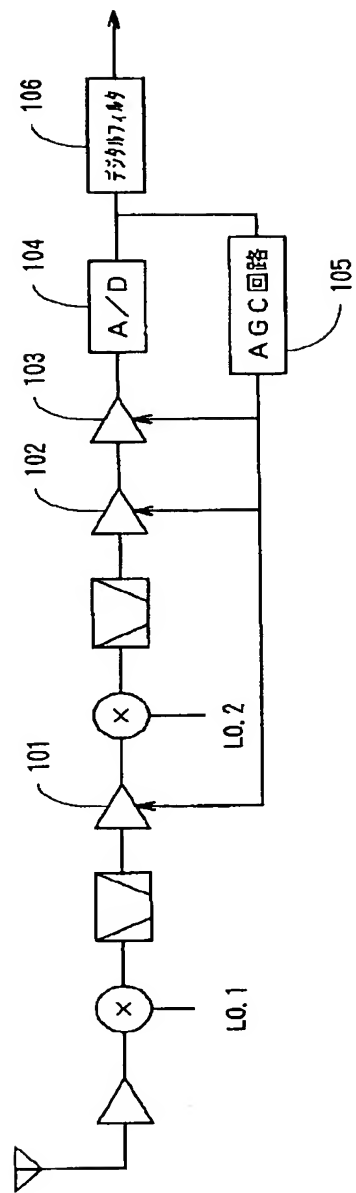
【図4】



【図1】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H04B 1/10 - 1/26

H03G 3/20